

003354353

WPI Acc No: 82-L2376E/198234

Composite semiconductor device - has capacitor connected to source or drain of FET semiconductor device

Patent Assignee: HANDOTAI ENERGY KENKYUSHO KK (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 57115856 A		19820719					198234 B

Priority Applications (No Type Date): JP 811768 A 19810109; JP 81174120 A

19811029

Patent Details:

Patent	Kind	Lan Pg	Filing Notes	Application	Patent
JP 57115856 A		13			

Title Terms: COMPOSITE; SEMICONDUCTOR; DEVICE; CAPACITOR; CONNECT; SOURCE;

DRAIN; FET; SEMICONDUCTOR; DEVICE

Derwent Class: P81; P85; U12; U13; V07

International Patent Class (Additional): G02F-001/13; G09F-009/35;
H01L-027/04; H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

00965556 **Image available**

COMPOUND SEMICONDUCTOR DEVICE

PUB. NO.: **57-115856** [JP 57115856 A]

PUBLISHED: July 19, 1982 (19820719)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 56-001768 [JP 811768]

FILED: January 09, 1981 (19810109)

INTL CLASS: [3] H01L-027/04; G02F-001/133; G09F-009/35; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass

Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 137, Vol. 06, No. 211, Pg. 98, October 23, 1982 (19821023)

ABSTRACT

PURPOSE: To obtain a solid state display device for television which may replace a cathode ray tube by a method wherein a circuit consisting of a field effect semiconductor device and a capacitor is arranged in a matrix arrangement, and by utilization of it a liquid crystal display device is driven.

CONSTITUTION: A picture element is composed of a field effect semiconductor device 10 and a capacitor 31, and it is arranged in a matrix arrangement and connected to column lines 51 and 51' and row lines 41 and 41'. Next for the purpose of driving thus arranged matrix 40, an insulated gate FET semiconductor device 50 and an inverter 60 and a resistor 70 are placed separately on the same substrate, and a decoder and a driver are constituted. In this constitution by taking the column and the row 51 and 41 as "1" and the column and the row 51' and 41' as "0", a specified address is selected, and the liquid crystal display device is selectively changed to be on. In this constitution a laminated element having a source and drain region and a gate electrode is used as the field effect semiconductor device 10.

⑨ 日本国特許庁 (JP)
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開
 昭57—115856

⑫ Int. Cl.³
 H 01 L 27/04
 G 02 F 1/133
 G 09 F 9/35
 H 01 L 29/78

識別記号
 庁内整理番号
 8122—5F
 7348—2H
 7520—5C
 7377—5F

⑬ 公開 昭和57年(1982)7月19日
 発明の数 1
 審査請求 有

(全 7 頁)

④複合半導体装置

②特 願 昭56—1768
 ②出 願 昭56(1981)1月9日
 ⑦発明者 山崎舜平
 東京都世田谷区北烏山7丁目21

⑪出願人 株式会社半導体エネルギー研究所
 東京都世田谷区北烏山7丁目21
 番21号

明細書

とは並列結合を有することを特徴とする複合半導体装置。

1.発明の名称

複合半導体装置

2.特許請求の範囲

1. 基板上の第1の半導体上に設けられた概略同一形状の第2の半導体および第3の半導体を積層して有しソースおよびドレインを構成する前記第1および第3の半導体と第2の半導体およびその側周辺に隣接して設けられたゲート絶縁物およびゲート電極よりなるゲートとにより設けられた絶縁ゲート型電界効果型半導体装置と前記第1の半導体に電気的に連絡した他部の他部半導体または金属を一方の電極とするキャバシタとを有する複合半導体装置。

2. 特許請求の範囲第1項において、キャバシタの他方の電極との間に液晶を有し絶縁ゲート型電界効果半導体装置のオンまたはオフ状態により前記液晶を有する表示部をオンまたはオフせしめたことを特徴とする複合半導体装置。

3. 特許請求の範囲第1項において、キャバシタの他方電極との間に液晶を有する液晶表示部と電荷蓄積用キャバシタ

3.発明の詳細な説明

本発明は基板上にたてチャネル型の積層型の絶縁ゲート型半導体装置およびその作製方法に関する。

本発明を基板上の積層型の絶縁ゲート型電界効果半導体装置のソースまたはドレインに連結してキャバシタを有せしめた複合半導体装置に関する。

本発明はかかる複合半導体装置をマトリックス構造に基板上に設け、液晶表示型のディスプレイ装置を設けることを特徴としている。

本発明は表面型の液体表示装置を設ける場合、平行なガラス板内に電極を設けてこの電極間に液晶を注入した液晶表示装置が知られている。しかしこの場合この表示部の幅を数は20～200までが限界であり、それ以上とする場合はこの表示部より外にとり出す端子が数もの数だけ必要となつてしまつため全

く実用に供することができなかつた。このためこの表示部を複数の絵素とし、それをマトリックス構成させ、任意の絵素を制御してオンまたはオフ状態にするにはその絵素に対応した電界効果半導体装置（IGFETという）を必要としていた。そしてこのIGFETの信号を与えてそれに対応した絵素をオンまたはオフさせたものである。

この液晶表示部はその等価回路としてキャバシタ（以下〇という）にて示すことができる。このためこの図と〇とを例えば 2×2 のマトリックス構成（40）せしめたものを第1図に示す。

第1図においてマトリックス（40）はひとつのIGFET（10）とひとつの〇（31）によりひとつの絵素を構成させている。これを行に（51）、（51）とピント線に連結し、他方ゲートを連結して列（41）、（41）を設けたものである。

すると、例えば（51）、（41）を「1」とし、（51）、（41）を「0」とすると（1, 1）番地のみを選択してオンとし、~~結晶セラム~~〇（31）として等価的に示される液晶表示を選択的にオン状態にすることができる。

という）トンネル電流を流しうる厚さの絶縁または半絶縁膜（3）第2の真性またはPまたはN型の半導体（4）（以下単にB2という）、第1の半導体と同一導電型を有する第3の半導体（5）（以下単にB3という）を積層して設けた。

この半導体は基板上にシランのグロー放電法を利用して室温～500°Cの温度にて設けたもので、非晶質（アモルファス）または半非晶質（セミアモルファス）構造の珪素半導体を用いている。本発明においてはセミアモルファス半導体（以下B1A8という）を中心として示す。このB1A8に関しては本発明人の発明になる特許願例えは特願昭55-143885（55.10.15出願）（セミアモルファス半導体）、特願昭55-122786（55.9.4出願）（半導体装置）、特願昭55-026388（55.3.3出願）（セミアモルファス半導体）にその詳細な実施例が示されている。

さらに第1図においてフォトリソグラフィー技術によりB3を選択的に除去し、さらにこのB3をマスクとしてB2を除去した。このフォトエッチングの終点をみると絶縁または半絶縁膜（以下単に絶縁膜という）のはずは強化珪素をして設けた。

本発面は同一基板上にデータ、ドライバーを構成せしめるため、他の絶縁ゲート型半導体装置（50）および他のインバータ（60）、抵抗（70）を同一基板上に設けることを目的としている。

かくすることにより本発明をその設計を後に基いて組合せることによりブラウン管に接続する平面テレビ用の固体表示装置を作ることができた。

さらにカリキュレータ用の表示装置は10～10ヶの絵素を累加すればよく、TV用には10～10個例えは 25×10 個の絵素を同一基板に設け、かつその周辺に必要なデコーダおよびドライバーを同時に形成させたIGFET、インバータ、抵抗を用いて作ればよいことがわかる。

本発明にかかるシステムを作るために必要な積層型のIGFETおよびそれに液晶表示部を連結させた絵素に関するものである。

第1図は本発明の積層型IGFETのたて断面図およびその製造工程を示したものである。

図面において絶縁基板例えはガラスまたはアルミニウム基板上にPまたはN型の導電型を有する第1の半導体（2）（以下単にB1

さらにその厚さは5～30Åのうすさであり、第1の半導体をプラズマ照射にされたアンモニア雰囲気にさらすことにより形成した。次にこの絶縁膜を化学的に除去した後第2図(B)を得た。

このB3の上にこの後に形成された絶縁膜をさらに厚く作るために、あらかじめEPOT法（液圧気相法）により0.3～1μの厚さに酸化珪素膜を形成してもよい。またこのB3上にMn、Wを0.2～0.5μさらにその上にSiOを0.3～1μとさせてB3の導電率を向上させることはマトリックス化に不効であつた。

また第2図(B)において側面は基板(1)表面に垂直に形成してもよいが、台形状にテーパエッヂをしてさらに形成されるゲート電極の段差部での段切を除去することは効果的であつた。

さらに第2図(C)に示される如く、フォトリソグラフィー技術によりB1を任意の所定形状を形成した。図面ではこのため(1)にて基板表面が露光させた。

さらにこの後このB1、B2、B3の表面全体に絶縁膜(6)を形成した。この絶縁膜は13.56MHz～2.45GHzの

周波数の電磁エネルギーにより活性化して酸素または酸素と水素との混合気体を団気に $100\sim700^{\circ}\text{C}$ で加熱して酸化して形成した。

さらにLPCVD法により塗布基材またはガラスを形成させた多層構造としてもよい。

するとS2(4)の側周辺にはゲート絶縁物 HfO_2 としてこの絶縁物 HfO_2 が形成され、S1、S3の表面はアイソレイション用被膜として形成させることができた。

さらに(D)に示される如く、第3のフォトリソグラフィー技術によりS1(4)に対し電極穴(S)をS3(4)に対し電極穴(G)を形成した後、ゲート電極を形成する^{上部}半導体層を再び積層した。

次に第4のフォトリソグラフィー技術によりこの膜を選択的にエッチングして、ゲート電極 HfO_2 をゲート絶縁物 HfO_2 と2方向に設けて作り、同時にS1(4)、S3(4)より電極穴を介して他部のIGF、キャバシタ、抵抗へ基板表面または绝缘物(S)上に密接して配置させた。

第2図(D)のたて断面図のA-A'を横方向よりみると第2図(E)として示すことができる。番号はそれぞれ対応させている。

$\text{cm}^2/\text{V}\cdot\text{s}$ と $1/5\sim1/100$ である。しかしそれにアモルフアス珪素が電子 $0.1\sim10\text{cm}^2/\text{V}\cdot\text{s}$ 、ホールは $0.01\text{cm}^2/\text{V}\cdot\text{s}$ 以下に比べて $10\sim100$ 倍も長いことを考えると、本発明の半導体装置にマイクロクリスタル構造を有するS Δ Sを用いたことはきわめて重要なことである。

さらに本発明のIGFにおいて、電子移動度がホールに比べて単結晶の3倍よりも大きく $5\sim100$ 倍もあるためNチャネル型とするのがきわめて好ましかつた。

そのためS2には不純物を表面部に添加しない性半導体はN型であるためこれをP型として用いた。

第3図は他の本発明のIGFのたて断面図およびその製造工程を示したものである。

第3図(A)において基板(1)上にS Δ Sの珪素膜をS1(2)として形成させた。さらにフォトリソグラフィー技術により選択エッチングを行ない、基板(1)の一部(1)を露呈させた。

次にこのS Δ Sを結晶化するため光(レーザ)アニール、熱アニールまたはこれらを併用してこのS Δ Sを単結晶または多結晶構造に変成させた。加熱温度は基板材料での熱ストレス

本発明の半導体は主としてS Δ Sを用い、その中の不対結合手の中和用に水素を用いており、かつ基板と半導体、電極リードが異種材料であり、それらの熱膨張によるストレスを少くするため、すべての処理を $300\sim600^{\circ}\text{C}$ 以下好ましくは 300°C 以下であるとよかつた。

またゲート電極をS1、S3と同一導電型の半導体およびそれにM等の金属を二重構造とした多層配線構造でもよい。

かくしてソースまたはドレインをS1(4)、チャネル形成領域(9)(9)を有するS2(4)、ドレインまたはソースをS3(4)により形成せしめ、チャネル形成領域側面にはゲート絶縁物 HfO_2 、その外側面にゲート電極 HfO_2 を設けた積層型のIGF(10)を作ることができた。

この発明においてチャネル長はS2(4)の厚さで決められ、ここでは $0.05\sim0.5\mu$ とした。それはS Δ Sの移動度が単結晶とは異なりその $1/5\sim1/100$ しかないとため、チャネル長を短くしてIGFとしての特性を助長させたことにある。

S Δ Sは電子のパルク移動度が $100\sim500\text{cm}^2/\text{V}\cdot\text{s}$ と $1/5\sim1/10$ であるのにに対し、ホールのそれは $5\sim100$

を防ぐため、 700°C 以下にさせた。

このS1(2)は基本的にはS2、S3とエッチングレートが変わればよい。このためS1はPまたはN型の酸素または窒素が添加されてS1_x($0.5 < x < 2$)、S1_N($1 < x < 4$)の化学量論を有する真性または半絶縁性を有する半導体であつてもよい。

第3図(B)に示す如く、この後この上面にS2(4)を真性またはP型でさらにS1と同一導電型にS3(5)をPまたはN型に積層して同一反応炉により形成せしめた。

さらに第3図(D)に示す如く、このS2(4)、S3(5)を概略同一形状に選択的に他部を除去して形成し、S2(4)、S3(5)をS1(4)上に設けた。この後このS1、S2、S3上表面を酸化して絶縁膜(6)として設けた。この時S2(4)の側周辺はゲート絶縁物 HfO_2 として設けられ、他部はアイソレイション膜として設けた。

次に第3のフォトリソグラフィー技術を用いて電極穴またはコンタクト部(7)(8)を用いその全上表面に半導体または導体の膜を設けた。この膜を第4のフォトリソグラフィー技術により選択的に除去してS1(4)にはその他部への連続電極リード(4)を、

S1の上にはコンタクト(7)を介して同様の電極、リードを設け、またS2の側面のチャネル形成領域(9)(9')の側面のゲート電極(11)上にはゲート電極(11')を構成した。

このようにしてソースまたはドレインをS1によりチャネル形成領域(9)(9')をS2により、ドレインまたはソースをS3により構成せしめた。ゲートはゲート絶縁物(10)とゲート電極(11)よりなつていて、このようにしてゲート電極を'1'、ソースまたはドレインを'1'とすると、チャネル形成領域を電流が流れオン状態を、またそれぞれが一方または双方が'0'ならばオフ状態を作ることができた。

'1'はS2チャネル型IGFでは正の0.5~1.0Vの電流を、'0'は0Vまたはスレッショルト電圧以下の電流を意味する。

S2チャネル型IGFはその電極の極性を変えればよい。これらの点とは第1図、第2図においてもまた以下の第3図または本発明の実施例においても同様である。

また第1図の抵抗(70)は第2図(D)および第3図(D)においてゲートに加える電圧に無関係にS2の~~バッテリ~~^{バッテリ}成分の抵抗率で決められる。すなわちゲート電極を設けない状態でS1、S2

S3を横層すればよい。またこの抵抗値はS2の抵抗率とその厚さ、基板上にしめる面積で設計を系に従つて決めればよい。

第1図のインバータ(60)においてドライバー(61)は第2図、第3図(D)とし、さらにそのロード(62)はS1のS3の一方とゲート電極(11)との連絡させるエンハンスマント型またはディプレッション型のIGFとした。

さらにこのインバータ(60)の出力は¹¹よりなり、この基板上に離間して2つのIGFを横層して複合化すればよく、入力部はゲート電極(11)に対応して設ければよい。

第4図(A)は他の本発明のたて断面図を示したものである。すなわち基板(1)にS1⁽¹¹⁾、S2^(11')、S3^(11'')およびゲート部がゲート絶縁物(10)、ゲート電極(11)によりなつているIGF(10)と、S1⁽¹¹⁾でかつ電気的に連絡した他部はキャバシタの一方の電極(2)を有し、かつこの他部は液晶表示の一方の電極(32)をも構成させている。すなわちS1はふたつのキャバシタの一方の電極^{並び}となつていて、そのひとつのキャバシタは~~並行~~容量を大きくとり液晶表示の表示時間を長くするために用いている。

すなわち第1図において特定蓄池のIGFがオンになる時間

が1.0~1.000秒であつても、液晶表示はそのままで1~1.000ms秒も有するいわゆる残光特性をもたしめたものである。このためこのままで(ストレージキャバシタ)が大きいと例えばTVのブラウン管に対応する平面パネルでの表示があざやかになり、かつ塗装の数が10~10ヶになり、それらをデジタル的にスキャンしていても他の塗装^{並び}、^{並び}表示しつづけることが可能になる。この^{並び}容量の有効性は塗装の数が10ヶ以上になつた際見ている人に目のつかれを覚えさせないために特に有効である。

またこの^{並び}容量のキャバシタはゲート絶縁物(10)と同一材料としたことにより、同一方式に何らの^{並び}工程を必要とせず作ることができた。しかしこの容量を小面積で増加するため、酸化珪素ではなく窒化珪素、酸化タンタルその他強誘電体を用いてもよい。

本発明におけるS1⁽¹¹⁾に電気的に接続する他の電極⁽¹¹⁾は電極穴⁽¹²⁾を介して設けられている。これらIGF(10)上にポリイミドまたはPI等の層間絶縁物を1~3μの厚さに設け、それを選択的にフォトリソグラフィー技術により設ければよい。こ

の電極(32)がひとつの絶縁の大きさを決定する。カリキュレータ等においては0.1~5μまたはく形を有している。しかし第1図の如き走査型の方式において、1~50μをマトリックス状として500×500とした。液晶表示部(31)はこの基板上に半導体装置電極を設けた一方の基板と他方をITO等の透明電極⁽²⁾を有するガラス板⁽³⁾とを0.1~2mmの間げきを有せしめて対応させそこに例えばネマチック型の液晶⁽⁴⁾を注入して設けた。

またこのディスプレーをカラー表示してもよい。さらに例えばこれらの塗装が三重に重ね合わされて作られてもよい。そして赤緑黄の3つの要素を交互に配列せしめればよい。

第3図(A)が蓄積キャバシタとキャバシタで等価回路にて示される液晶とを並列に連絡して設けたのに対し、第3図(B)は直列に設けたものである。

すなわちS1⁽¹¹⁾に電気的に連絡した一方の電極⁽¹¹⁾に^{並んで}電極^(11')、他方の電極^(11'')に^{並んで}この電極^(11'')に連絡した第2の一方の電極(32)が開口⁽¹²⁾を介して連絡しており、この電極(32)に対応して透明電極による対抗電極⁽²⁾が液晶⁽⁴⁾を封入する。

で設けられている。

第4図(A)(B)で明らかに如く、本発明は基板(1)上に複数のIGF
キャバシタ、抵抗または同時にサンドウイッチ構造として液晶
表示の平面パネルを設けたことを特徴としている。

さらに画面より明らかな如く、上方よりの光照射に対して、
IGF(10)に光が照射して0°状態の時リークしてしまうことを
防止するためこれを上方よりおおい塗素の一光の電極(32)
を設けていることを他の特徴としている。

加えて従来と異なり、絶縁基板上に完全に他の塗素とアイソ
レイトしてIGFを積層型に設けていることはきわめて大きな
特徴であり、特にこの全行程を600μ以下特に300μ以下の
温度で作ることが可能であることは、このパネルが大面積と
しても熱歪の影響を受けにくいという大きな特徴を有している。

加えて本発明の半導体は非単結晶構造を中心としており、特
にSASというアモルファスと単結晶との中間構造であつて、
かつ600μまでの熱エネルギーに対して安定なことは本発明の
他の特徴である。

特にこのSASは10~100Aの大きなマイクロクリスタ

また逆方向リークであるが、第1図に示すようなS1とS2
との間に塗化珪素を10~40μの厚さに挿入することにより
このN-P接合またはP-N接合のリークは逆方向に10Vを
加えても10mA以下であつた。これは単結晶の逆方向リーク
に匹敵する好ましいものであつた。

またS1に例えば酸素を10~30モル%添加すると、第3
図に示した構造においては同様に逆方向にリークが少なく、無
添加の場合に比べて1/10~1/10倍もリークが少なかつ
た。このリークが少ないことが第1図のマトリックス構造を実
現するときわめて有効であることは当然である。

さらにこの逆方向リークはこの積層型のS1、S2、S3を
ともにアモルファス珪素の半導体のみで作つた場合、逆方向バ
イヤスを10V加えると1mA以上あつたが、これをSASと
すると5~50mAにまで下つた。それはS1、S3のPまたは
N型の半導体におけるB、Pの不純物が置換型に配位し、そ
のイオン化率が単結晶と同じく4%以上となつたことおよびそ
の活性化エネルギーもアモルファスの場合の0.2~0.3eV
よりも0.005~0.001eVと小さくなつたことにある。

特開昭57-115856(5)
ル構造の粒子を有する非単結晶半導体であり、その製造には
500KHz~3GHzの高周波エネルギーを使っても温度が300
°Cまで十分であり、加えてその電子・ホールの活性度がアモ
ルファス珪素の100~10倍も大きいといふ物性的な特性を有
している。かかる非単結晶半導体を基板上に複数する構造によ
り、IGFを設けたこと、加えてこれを電流がたて方向に流れ
るためチャネル長が0.1~1μのマイクロチャネル型IGFを
を高周波のフォトリソグラフィー技術を用いて作ることができ
ることがきわめて大きな特徴である。

さらに本発明においてIGFとしての特性はSASの特性に
かんがみ、そのスレッショルド電圧(V_{th})は例えはドー
ブをイオン注入法で行なうのではなく、S2に添加する不純物
の添加量と加える高周波パワーにより制御する点も特徴である。

そのため耐圧20~30V、V_{th}=1~4Vを±0.2Vの範
囲で制御できた。さらに周波数特性がチャネル長が0.1~1
μのマイクロチャネルのため、これまでの単結晶型の逆偏
圧型半導体装置の1/5~1/50を非単結晶半導体を用いた
のにもかかわらず得ることができた。

このため一括配位した不純物が界面中にアウトディフュージョ
ンせず結果として接合がきれいにできることによる。

すなわち本発明は複数個IGFであること、そこに非単結晶
半導体を用いたこと、特にSASを用いたこと、さらにS1と
S2の間の接合を切離にするためS1に酸化珪素を同時に添加
し三にエネルギーバンド巾として逆耐圧を上げたこと、または絶
縁または半絶縁膜を介在させたSIS接合としたことを特徴と
している。

さらにかかる積層型のIGFのため従来のように高耐圧のフ
オトリソグラフィー技術を用いることなく、基板特に絶縁基板
上に複数個のIGF、抵抗、キャバシタを作ることが可能にな
つた。そして液晶表示ディスプレーにまで応用させることができ
た。

本発明における半導体は珪素、施設体は塗化珪素または塗化
珪素を用いた。しかし半導体としてゲルマニニーム、InP、
BP、GaAs等を用いてもよい。また非単結晶半導体ではな
く単結晶半導体を、またSASではなくその結晶粒径の大きな
多結晶半導体であつてもよいことはいうまでもない。

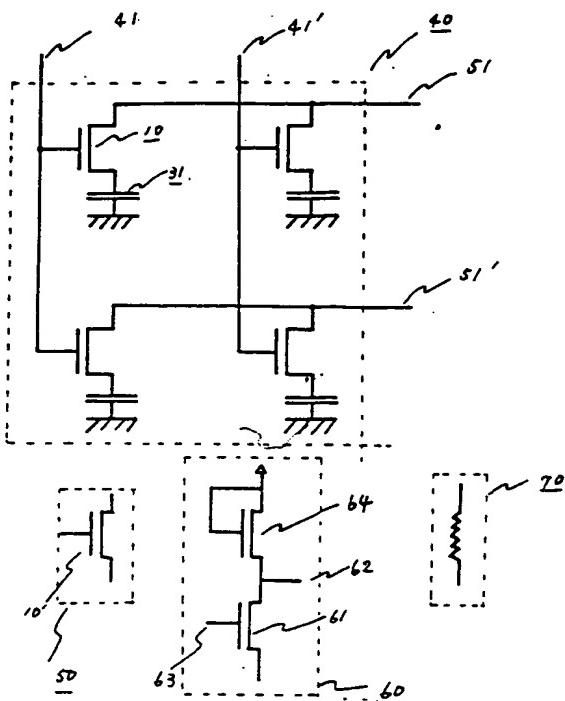
4.図面の簡単な説明

第1図は本発明による絶縁ゲート型半導体装置、インバータ抵抗、キャパシタまたは絶縁ゲート型半導体装置とキャパシタとを組合としたマトリックス構造の等価回路を示す。

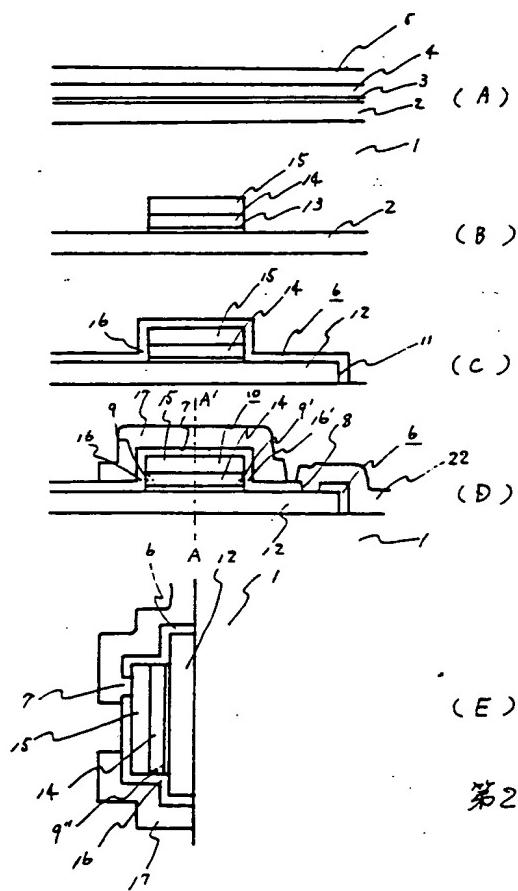
第2図、第3図は本発明の積層型絶縁ゲート型半導体装置の工程を示すたて断面図である。

第4図は本発明の積層型絶縁ゲート型半導体装置とキャパシタまたは液晶とを一体化した平面ディスプレーを示す複合半導体のたて断面図である。

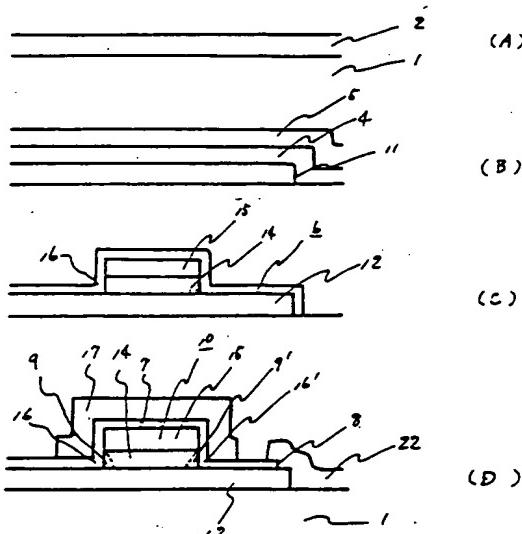
特許出願
株式会社半導体エネルギー研究所
代表者 山崎舜平



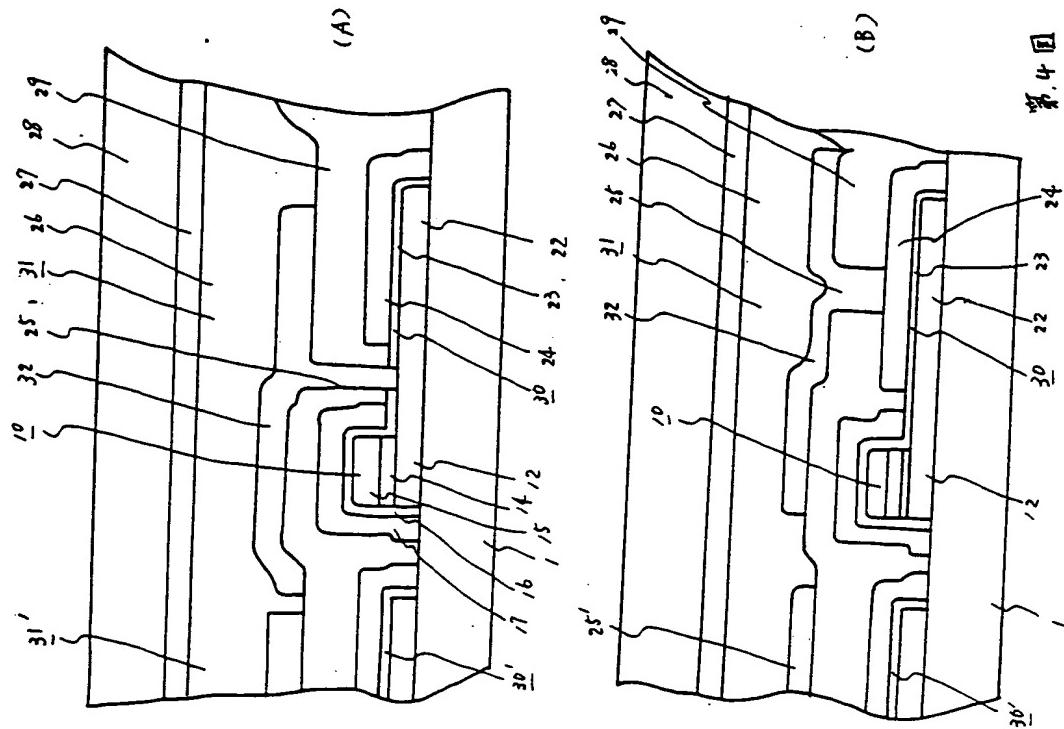
第1図



第2図



第3図



第4回